

English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 08-062298

[Claim(s)]

[Claim 1]An integrated circuit comprising:

An input part which inputs data and is supplied to an internal circuit.

An outputting part which outputs an output of said internal circuit outside, and a loopback control section which inputs a test control signal which directs a test mode, and makes an output of said input part input into said outputting part at the time of a test mode.

[Claim 2]The integrated circuit comprising according to claim 1:

A storage parts store in which said loopback control section stores an output of said input part.

A selector which outputs any one based on a selection signal of an output of said internal circuit, and an output of said storage parts store, and a sequence control section which input said test control signal, and said selection signal is supplied to said selector, and controls writing and read-out of said storage parts store at the time of a test mode.

[Claim 3]The integrated circuit according to claim 1 in which said storage parts store comprised a first-in first-out type buffer memory.

[Claim 4]A timing input signal means to input a timing signal from the exterior.

A data input means which inputs input data from the exterior.

A data output means which outputs output data outside, a latch means which latches data inputted from said data input means based on said timing signal, and a gate means which controls supply of data to said data output means based on said timing signal.

A loopback means which is the integrated circuit provided with the above and acts to said gate means as loopback of the data latched by said latch means, and a loopback activation means who activates said loopback means are included.

[Claim 5]The integrated circuit according to claim 4 in which said loopback means is characterized by having a memory which stores loop back data.

[Claim 6]The integrated circuit according to claim 4 or 5 in which said

loopback means is characterized by having a control means for processing loop back data.

[Claim 7]The integrated circuit according to any one of claims 4 to 6, wherein said loopback activation means controls loop-back-operation mode based on a predetermined signal from the outside.

[Claim 8]In an inspection method of an integrated circuit containing a high-speed input part which operates at high speed than an internal circuit and other input output sections, and at least one pair of high-speed outputting part, An inspection method of an integrated circuit acting to a high-speed outputting part as loopback of the output of said high-speed input part, and examining it per signal path of said high-speed input part and a high-speed outputting part.

[Claim 9]A loopback means which has an interface part and acts to said gate means as loopback of the data latched by said latch means further, comprising, It is an inspection method by an LSI testing machine of an integrated circuit containing a loopback activation means who activates said loopback means, An inspection method of an integrated circuit characterized by what an inspection of an interface part of said integrated circuit is conducted that it is mutually-independent and sequentially via said loopback means, and is examined using an LSI testing machine of a small pin count rather than the number of total terminals of said integrated circuit.

A timing input signal means to input a timing signal from the exterior.

A data input means which inputs input data from the exterior.

A data output means which outputs output data outside.

A latch means which latches data inputted from said data input means based on said timing signal, and a gate means which controls supply of data to said data output means based on said timing signal.

[Claim 10]An inspection method of the integrated circuit according to claim 9 in which said LSI testing machine is characterized by having timing accuracy and a pin count which said a part of interface part of two or more sets of inside requires.

[Detailed Description of the Invention]

[0001]

[Industrial Application]Especially this invention relates to the inspection method of the integrated circuit which examines operation of each internal circuit of an integrated circuit, the characteristic, etc. about an integrated circuit and an inspection method for the same based on the test data given from the outside.

[0002]

[Description of the Prior Art]In development of an integrated circuit (it is called "LSI") and production, improvement in quality and productivity is aimed at by conducting investigation analysis of the poor cause for poor LSI with a defect about poor LSI in distinction from normal LSI. The examination (test) of LSI is carried out for discovery of this poor LSI, and analysis.

[0003]Although some are various as examination contents of LSI, when it roughly classifies, there are two kinds, a function test (Functional Test) and parametric test (Parametric Test).

[0004]Each parameter which a function test is the examination which paid its attention to the function (function) of LSI, and determines test conditions, such as power supply voltage, operating temperature, and input signal timing, It is examined whether it is set as the typical operating condition assumed at the time of LSI development and production, and the function of LSI is realized thoroughly.

[0005]It is carrying out by changing each parameter which a parametric test's is the examination which paid its attention to the operating-condition range of LSI, and opts a test condition for the almost same examination as the above-mentioned function test on the other hand, The DC parametric test which examines that LSI has a predetermined function and the characteristic in operating-condition within the limits provided in the specification, and tests a direct current characteristic, For example, the propagation delay time of the signal between an input and an output terminal, etc. have an AC parametric test which mainly tests the characteristic of timing edge.

[0006]As a method of carrying out these LSI examinations, Test data is mainly given to LSI to be examined via an input terminal from the exterior, The method of examining the internal circuit of LSI to be examined is adopted by making the operation result of the internal circuit of LSI according to the given test data to be examined output outside via the output terminal of LSI to be examined, and observing the result.

[0007]Drawing 5 is a figure showing the example of test composition of the conventional LSI.

[0008]With reference to drawing 5, in order to realize a desired function, the internal circuit 21 constituted combining a sequence circuit and a combinational circuit suitably is included in the inside of LSI20. Test data is given to the internal circuit 21 via the terminals 211-21x, respectively. And the data outputted is outputted to the exterior of LSI20 via the terminals 221-22x, respectively from the internal circuit 21.

[0009]Drawing 6 is a figure showing the concept at the time of examining LSI shown in drawing 5 with an LSI testing machine (LSI tester).

[0010]As for LSI30, with reference to drawing 6, each pin of the LSI testing machine 3 is connected to the input terminals 311-319 of examining LSI30, and the output terminals 321-329 like drawing 5 inside including the internal circuit 31.

[0011]The LSI testing machine 3 generates test data corresponding for every test item, test data is impressed to the input terminals 311-31x of examining LSI30, and test data is supplied to the internal circuit 31. The internal circuit 31 performs operation according to each test data, and outputs test result data.

[0012]The LSI testing machine 3 incorporates these test result data via the output terminals 321-32x of examining LSI30, and judges operation of each circuit, and the characteristic and other propriety according to the contents. The LSI testing machine 3 examines a predetermined item by carrying out sequential execution of such a series of operations according to a predetermined program.

[0013]

[Problem(s) to be Solved by the Invention]However, in such a conventional LSI test method. Input test data into all the input terminals of LSI, and to incorporate all the test result data of LSI via an output terminal is needed, and This sake, An LSI testing machine with a number of pin counts which can generally cover all the functional pins of LSI which is a device (DUT;Device Under Test) to be examined must be used.

[0014]If an LSI testing machine is not a thing with the sufficient speed and accuracy for a timing test of LSI used as a device to be examined, it will not become.

[0015]Recently, the clock frequency of LSI improves remarkably with progress of semiconductor technology, and a high-speed LSI testing machine is needed for examining these high-speed LSI. That is, it has a pin count which covers all the functional pins of high-speed LSI which is a device to be examined, and the high-speed LSI testing machine possessing the test rate corresponding to the clock frequency of high-speed LSI must be used as described above.

[0016]Generally the high-speed LSI testing machine is more expensive than a low-speed LSI testing machine. especially, with a high-speed LSI testing machine, since it is expensive compared with a low-speed thing, the unit price per one pin will be a system in which a high-speed multi pin LSI testing machine is very expensive.

[0017]These days, there is also a terminal number of LSI towards

multi-pin-izing, and the investment to an LSI testing machine will become still bigger from highly-efficient-izing of LSI, and complication.

[0018]By the way, although it is high-speed LSI, all functional pins are not high speeds. For example, by LSI for high-speed serial communications, only some terminals by the side of high-speed serial communication operate by the ultra high-speed which is hundreds of MHz - several gigahertz, and the terminal of the remaining most operates by about at most tens of MHz.

[0019]Therefore, it considers introducing the high-speed multi pin LSI testing machine which had the speed which can respond to the high-speed thing among the terminals of LSI to be examined, and accuracy to all the pins for the examination from development cost and production cost both sides, and there is a fault that it is not a best policy.

[0020]As a test method which reduces the pin count of the LSI testing machine needed for a test, For example, to JP,4-220576,A. By having had a serial-parallel-conversion means 43 to distribute test data to two or more testing circuit 41₁, which incorporates test data in series, changes this into parallel data, and constitutes the inside of an integrated circuit - 41_n, respectively, as shown in drawing 7, The testing system of the integrated circuit which reduced test terminals is proposed.

[0021]If the test method indicated by said JP,4-220576,A is used, an examination will become possible with an LSI testing machine with few pin counts, but. In this test method, although the functional test of an internal circuit is possible, the examination whether the timing of the external interface of LSI to be examined satisfies specification becomes impossible. Test data is supplied to the testing circuit inside an integrated circuit via the serial-parallel-conversion means 43, and a actual specified condition is because it becomes a different thing.

[0022]Therefore, this invention cancels said problem and an object of this invention is to provide the integrated circuit and inspection method which enable the examination of the high speed interface portion of LSI to be examined using the high-speed LSI testing machine which had a necessary minimum small pin count rather than the total functional terminal number of LSI to be examined.

[0023]

[Means for Solving the Problem]An input part which said purpose inputs data according to this invention, and is supplied to an internal circuit, It is attained by integrated circuit containing a loopback control section which makes an output of said input part input into said outputting part at the time of a test mode by inputting an outputting part which outputs an

output of said internal circuit outside, and a test control signal which directs a test mode.

[0024]In an integrated circuit of this invention, preferably, A storage parts store in which said loopback control section stores an output of said input part, Input said test control signal as a selector which outputs 1 of an output of said internal circuit, and an output of said storage parts store based on a selection signal, and said selection signal is supplied to said selector, and writing of said storage parts store and a sequence control section which controls read-out are included at the time of a test mode.

[0025]In an integrated circuit of this invention, said storage parts store comprises a first-in first-out type buffer memory preferably.

[0026]And a timing input signal means to input a timing signal from the exterior as a mode with a preferred integrated circuit of this invention, A data input means which inputs input data from the exterior, and a data output means which outputs output data outside, A latch means which latches data inputted from said data input means based on said timing signal, In an integrated circuit which has a gate means which controls supply of data to said data output means based on said timing signal, A loopback means which acts to said gate means as loopback of the data latched by said latch means, and a loopback activation means who activates said loopback means are included.

[0027]In this invention, said loopback means has a memory which stores loop back data.

[0028]In this invention, said loopback means has a control means which processes loop back data.

[0029]In this invention, said loopback activation means controls loop-back-operation mode based on a predetermined signal from the outside.

[0030]Next, in an inspection method of an integrated circuit in which this invention contains a high-speed input part which operates at high speed than an internal circuit and other input output sections, and at least one pair of high-speed outputting part, It acts to a high-speed outputting part as loopback of the output of said high-speed input part, and an inspection method examining per signal path of said high-speed input part and a high-speed outputting part is provided.

[0031]An inspection method of an integrated circuit concerning this invention preferably, A timing input signal means to input a timing signal from the exterior, and a data input means which inputs input data from the exterior, A data output means which outputs output data outside, and a latch means which latches data inputted from said data input means based

on said timing signal, A gate means which controls supply of data to said data output means based on said timing signal, A loopback means which has a ***** interface part and acts to said gate means as loopback of the data latched by said latch means further, It is an inspection method by an LSI testing machine of an integrated circuit containing a loopback activation means who activates said loopback means, An inspection of an interface part of said integrated circuit is conducted that it is mutually-independent and sequentially via said loopback means, and it examines using an LSI testing machine of a small pin count rather than the number of total terminals of said integrated circuit.

[0032]In an inspection method of an integrated circuit of this invention, said LSI testing machine has timing accuracy and a pin count which said a part of interface part of two or more sets of inside requires.

[0033]

[Function]Since the output of the high-speed input part of an integrated circuit is outputted to a high-speed outputting part via a loopback control section at the time of the basis of the above-mentioned composition, and a test as for this invention, The high-speed LSI testing machine which has a pin count which covers a high speed interface part is used when testing, the examination of the high speed interface part of an integrated circuit is attained, and test expense is reduced. According to this invention, the examination of the AC parametric test of a high speed interface part is enabled especially.

[0034]

[Example]With reference to drawings, the example of this invention is described below.

[0035]

[Example 1] Drawing 1 shows the composition of the integrated circuit of this invention.

[0036]The internal circuit where 10 operates with an integrated circuit and 11 operates with a low speed clock with reference to drawing 1, 12 and 13 an input output buffer and 14 an input buffer and 15 An output buffer, the sequencer for which 16 controls a FIFO buffer and 17 controls loop back operation, and 18 -- as for an output latch and 22, a parallel-serial-conversion machine and 25 are [an output buffer and 24] selectors an input buffer and 23 an input latch and 26 a serial parallel converter and 19. The portion surrounded by the figure destructive line is a portion which operates with a high-speed clock.

[0037]101-108 show the external terminal of LSI, and 121 A low speed clock signal, A loopback test seizing signal and 123 122 The write signal

to FIFO buffer 16, The switching control signal with which 124 changes the read signal from FIFO buffer 16, and 125 changes the data path at the time of a loopback test, The data bus which passes the input data from which 126 was changed by the serial parallel converter 18 to the internal circuit 11, As for the data bus by which 127 passes the output data of the internal circuit 11 to the parallel-serial-conversion machine 19, and 128, a high speed clock signal and 130 are high-speed-data input/output buses the output data bus of FIFO buffer 16, and 129.

[0038]Next, operation of LSI concerning this example is explained with reference to drawing 1. LSI shall deliver and receive data here between the low speed interface on the left-hand side of a figure (it operates by low speed clock SCLK), and the high speed interface on the right-hand side of a figure (it operates with the high-speed clock FCLK).

[0039]The terminals 102 and 103 and the data given to LSI10 through 104 grades are inputted into the internal circuit 11 of LSI10 through the buffers 12, 13, and 14. After each inputted data is processed in the internal circuit 11, it is sent out to the parallel-serial-conversion machine 19 via the data bus 127 and the selector 24, After being changed into in-series high speed data with the parallel-serial-conversion machine 19, the output latch 26 and the output buffer 23 are outputted to the terminal 107 as high speed data by through and high-speed-data input/output bus 130 course.

[0040]On the other hand, in the data transfer from a high speed interface to a low speed interface. High-speed-data FData inputted through the terminal 107 is incorporated into the input latch 25 via the high-speed-data input/output bus 130 and the input buffer 22 by making into latch timing the high-speed clock FCLK supplied from the terminal 108.

[0041]The data incorporated into the input latch 25 is changed into low-speed parallel data by the serial parallel converter 18, and is sent out to the internal circuit 11 via the data bus 126, After being processed in the internal circuit 11, it is outputted to the low speed interface side edge children 102 and 103 and 105 grades via the buffers 12 and 13 and 15 grades.

[0042]Next, the operation at the time of the loop back operation in LSI concerning this example is explained.

[0043]Loop back operation is started by test control signal TEST inputted from the terminal 106. If loop back operation is started, the sequencer 17 will make an active state the switching control signal 125 which changes the data path at the time of a loopback test, Based on the switching control signal 125, the selector 24 is changed to the output of FIFO buffer 16, and the output data bus 128 of FIFO buffer 16 is connected to the input edge of

the parallel-serial-conversion machine 19.

[0044]In this case, like the above, the data inputted into the terminal 107 is sent to the serial parallel converter 18 via the input buffer 22 and the input latch 25, is changed into low-speed parallel data with the serial parallel converter 18, and is outputted to the data bus 126.

[0045]In that case, the sequencer 17 outputs the FIFO-buffer write signal 123, and writes the data on the data bus 126 in FIFO buffer 16. The writing of the data to this FIFO buffer 16 is repeated by the number of times set as the sequencer 17, and is prepared as data for loopbacks.

[0046]Subsequently, the sequencer 17 outputs the FIFO-buffer read signal 124, and the data for loopbacks prepared for the FIFO buffer is read to the output data bus 128, and is inputted into the parallel-serial-conversion machine 19. The data inputted into the parallel-serial-conversion machine 19 will be changed into high speed data, and will be outputted from the terminal 107 via the output latch 26 and the output buffer 23.

[0047]Drawing 2 is a figure explaining the operation timing at the time of the loop back operation in LSI of this example mentioned above. Each signal of drawing 2 is equivalent to each signal in the figure of drawing 1, and TEST A test control signal, As for SCLK, a high-speed clock and FData a low speed clock and FCLK High speed data, Each An example, the data bus which 126 passes data from the serial parallel converter 18 in the internal circuit 11, The signal wave form with which the output data bus of FIFO buffer 16 and 123 can set 128, and a FIFO-buffer write signal and 124 can set a FIFO-buffer read signal and 125 without a switching control signal is shown, respectively.

[0048]With reference to drawing 2, the writing to FIFO buffer 16 is performed by the rising edge of the write signal 123. Read-out from FIFO buffer 16 is performed by the rising edge of the read signal 124.

[0049]Inputted test control signal TEST is made into a trigger with reference to drawing 2, and the sequencer 17 starts control of loop back operation, and changes the selector 24 to the output data bus 128 of FIFO buffer 16 by making the switching control signal 125 of the selector 24 into a high level. High-speed-data FData (serial data) inputted from the terminal 107, It is changed by the serial parallel converter 25 and sent out as parallel data on the data bus 126, The data on the data bus 126 is written in FIFO buffer 16 one by one by the FIFO-buffer write signal 123 from the sequencer 17, The data written in FIFO buffer 16 is read by the FIFO-buffer read signal 124 from the sequencer 17, is sent out to the output data bus 128, is changed into serial data by the parallel-serial change machine 26, and is outputted from the terminal 107 as

high-speed-data FData.

[0050]Although timing overlay double [of the writing from the data bus 126 of 2nd data D_2 to FIFO buffer 16 and the read-out to the output data bus 128 of 1st data D_1 written in FIFO buffer 16] is carried out and they are performed in drawing 2, it is predetermined number writing **** in timing other than this, for example, data, at FIFO buffer 16 -- back -- things which can be set as desired timing, such as composition which reads this, cannot be overemphasized.

[0051]Drawing 3 is a figure explaining the principle of the loopback test in LSI concerning this example mentioned above.

[0052]It becomes possible to examine the high speed interface of LSI60 containing the high-speed input part 62 and the high-speed outputting part 63 by observing again externally the test pattern given as the input data 67 from the exterior as the output data 68 with reference to drawing 3. The loopback means 64 carries out line folding of the signal outputted from the high-speed input part 62 based on the loopback indication signal 66 which sets LSI60 as loop-back-operation mode at the time of loop back operation to the high-speed outputting part 63. Although high speed data (FData) is outputted and inputted from the input/output terminal 107, as shown in drawing 3, of course [in drawing 1] in this invention, it may have separately an object for input data, and a terminal for output data, respectively.

[0053]

[Example 2] Another example of this invention is described with reference to drawing 4. Drawing 4 is a figure showing one example of the test system of the high speed interface of LSI explained in said 1st example.

[0054]With reference to drawing 4, 70 shows a high-speed LSI testing machine, and the high-speed LSI testing machine 70 contains the output drivers 71-73, the input buffer 74, the comparator 75, the timing generation machine 76, the test pattern memory 77, and the expected value pattern memory 78.

[0055]In drawing 4, 700 shows the integrated circuit (it is called "LSI") concerning this invention explained in said 1st example, and, as for a loopback means and 703, logic hand circuit stages other than a high speed interface part and an input output means, and 702 show the high-speed input output means 702 701, respectively.

[0056]710 shows the input terminal of the test indication signal of LSI, 711 shows a high-speed clock input terminal, and 712 shows the input/output terminal of high speed data, respectively. The internal bus which transmits the data into which 713 was inputted by the high-speed

input output means to logic hand circuit stages and the input output means 701, and 714 show the loop back data outputted from the loopback means 702, respectively.

[0057]The signal with which 715-717 specify the output timing of a test pattern in the high-speed LSI testing machine 70, The strobe signal with which 718 directs the timing of collation with the output of LSI700 and expectation value pattern (expected pattern) which are devices to be examined to the comparator 75, and 719 are the output signals of the comparator 75 which shows the result of comparison with an expected value.

[0058]With reference to drawing 4, operation of the high-speed LSI testing machine 70 is explained briefly.

[0059]The test pattern given to the input terminal and output terminal of LSI700 is stored in the test pattern memory 77. These test patterns are read one by one, are outputted from the high-speed LSI testing machine 70 via the output drivers 71-73, and are given to LSI700. The output signal from the high-speed LSI testing machine 70 is controlled by the timing signals 715-717 generated with the timing generation machine 76.

[0060]LSI700 performs operation according to the given test pattern, and outputs the result to the output terminal 712. The high-speed LSI testing machine 70 incorporates the output of LSI700 via the input buffer 74, As compared with the expectation value pattern of operation stored in the expected value pattern memory 78 to the timing specified with the timing signal 718 generated with the timing generation machine 76 by the comparator 75, a comparison result is outputted as the comparison result signal 719.

[0061]. Below with reference to the LSI test system shown in drawing 4, it can set to LSI700. The input setting time to the clock 711 (clock signal inputted into the terminal 711) of I/O data 712 (data outputted and inputted by the input/output terminal 712) (setup time), The AC parametric test which examines input retention time (hold time) and output delay time is explained as an example.

[0062]The case where first the output delay time of the output data of LSI700 which is a device to be examined is examined is explained.

[0063]First, it is given to LSI700 via the terminal 710 in which the pattern stored in the test pattern memory 77 was read. As this explained in said 1st example, LSI700 starts loopback test operation.

[0064]Subsequently, according to the pattern read from the test pattern memory 71, a clock signal is given to the clock terminal 711 and input data is given to the input/output terminal 712. In that case, the timing

signals 716 and 717 generated with the timing generation machine 76 are controlled, and input data is certainly inputted into LSI700 inside via the high-speed input output means 703 to a clock signal to generous timing.

[0065]After the predetermined time defined beforehand, the high-speed input output means 703 will act as loopback of the inputted data via the high-speed input output means 703 by the loopback means 702, and it will be outputted via the input/output terminal 712.

[0066]The high-speed LSI testing machine 70 inputs this output data via the input buffer 74, To the timing specified with the timing signal 718 generated with the timing generation machine 76, an input compares by the comparator 75 whether it is in agreement with the expectation value pattern stored in the expected value pattern memory 78, and generates the result as the comparison result 716.

[0067]Here, if the timing signal 718 is set as the maximum of the output delay time of an I/O data, it can be examined whether the output data outputted from the input/output terminal 712 fulfills the standard of output delay time.

[0068]Next, the case where the set period and retention time of input data of LSI700 which are devices to be examined are examined is explained.

[0069]In this case, the timing of the input data given to the input/output terminal 712 mentioned above should just control the output timing of data to become the minimum of input setting time, and the minimum of retention time, respectively.

[0070]If it is LSI which has setting-out/maintenance (Setup/Hold) characteristic as a standard, According to the loopback procedure of the data mentioned above, input data is correctly inputted by the high-speed input output means 703, it will act as loopback of the same data as input data, and it will be observed as output data. That is, what is necessary will be just to compare an input pattern as an expectation value pattern. When LSI does not have setting out/holding property as a standard, the above-mentioned expected value collation becomes inharmonious, and poor LSI can be detected. By setting up the timing position of an input output signal, etc. corresponding to a value of standard, and examining the function of LSI to be examined, The method of examining whether AC parameter etc. fulfilling a value of standard (test of an excellent article device / defective device) is usually called "GO/NOGO TEST", and is used by mass production examination etc.

[0071]Thus, by conducting the inspection of the high-speed input output means 703 of LSI700 respectively separately and one by one via the loopback means 702 in this example, It examines using the high-speed LSI

testing machine 70 of a small pin count rather than the number of total terminals of LSI700, and the high-speed LSI testing machine 70 should just contain the timing accuracy which the part requires, and a pin count, when LSI700 includes two or more high-speed input output means 703.

[0072]With as mentioned above, the high-speed LSI testing machine which has few high-speed pins about the high speed interface part of an integrated circuit according to this example. Make it possible to do not only a functional test but the parametric test of whether AC parameter fulfills a value of standard, for example at high speed and with high precision, and. About internal circuits other than a high speed interface part, test expense can be reduced by testing, for example with a multi pin low-speed LSI testing machine.

[0073]Although it was based on each above-mentioned example and this invention was explained, this invention is not limited only to the above-mentioned mode, but contains the various modes according to the principle of this invention.

[0074]

[Effect of the Invention]Since the output of the high-speed input part of an integrated circuit is outputted to a high-speed outputting part via a loopback control section at the time of a test according to the integrated circuit of this invention as explained above, When testing the integrated circuit concerning this invention, the high-speed LSI testing machine which has a pin count which covers a high speed interface part is used, the examination of the high speed interface portion of an integrated circuit is enabled, and test expense is reduced.

[0075]And according to the integrated circuit of this invention, make it possible to test with high precision with the high-speed LSI machine which has few high-speed pins also about the AC parametric test of not only a functional test but a high speed interface part, and. About internal circuits other than a high speed interface part, test expense can be reduced by measuring, for example with a multi pin low-speed LSI testing machine.

[0076]According to the inspection method of this invention, it becomes possible to reduce the number of the high-speed test probe of the high-speed LSI testing machine made indispensable to the examination of an integrated circuit with a high speed interface, and test expense can be reduced.

[0077]In the integrated circuit of this invention, a loopback control section based on a test control signal, The control section which performs loopback control, the storage parts store which stores the output data from a high-speed input part and the internal circuit, and a compact test circuit

called the selector which outputs either of the outputs of a storage parts store to a high-speed outputting part were comprised, and the rise of the cost of an integrated circuit including a test circuit is deterred.

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the composition of one example of the integrated circuit of this invention.

[Drawing 2] It is a figure showing the operation timing of one example (refer to drawing 1) of this invention.

[Drawing 3] It is a principle figure of the loop back operation in the integrated circuit of this invention.

[Drawing 4] It is a figure showing one example of the high speed interface examination using this invention.

[Drawing 5] It is a figure showing the example of composition of the conventional LSI test circuit.

[Drawing 6] It is a key map of the conventional LSI test system.

[Drawing 7] It is a figure which reduces the pin count of an LSI testing machine and in which showing the conventional test method.

[Description of Notations]

- 3 LSI testing machine
- 10 Integrated circuit (LSI)
- 11 Internal circuit (low speed)
- 12 Input output buffer
- 13 Input output buffer
- 14 Input output buffer
- 15 Input output buffer
- 16 FIFO buffer
- 17 Sequencer
- 18 Serial parallel converter
- 19 Parallel-serial-conversion machine
- 20 Integrated circuit (LSI)
- 21 Internal circuit
- 22 Input buffer
- 23 Output buffer
- 24 Selector
- 25 Input latch
- 26 Output latch
- 30 Integrated circuit (LSI)
- 31 Internal circuit
- 40 Integrated circuit (LSI)

41 Testing circuit
43 Serial-parallel-conversion means
60 LSI
61 Other logic circuit means and input output means other than a high speed interface
62 High-speed input part
63 High-speed outputting part
64 Loopback means
66 Loopback indication signal
67 Input data
68 Output data
70 High-speed LSI testing machine
71 Output buffer
72 Output buffer
73 Output buffer
74 Input buffer
75 Comparator
76 Timing generation machine
77 Test pattern memory
78 Expected value pattern memory
101 SCLK terminal
102 SB0 terminal
103 SBx terminal
104 SIx terminal
105 SOx terminal
106 TEST terminal
107 FData terminal
108 FCLK terminal
121 Low speed clock signal
122 Loopback test seizing signal
123 FIFO-buffer write signal
124 FIFO-buffer read-out signal
125 Data bus switching signal
126 Internal circuit input data
127 Internal circuit output data
128 FIFO-buffer output data
129 High speed clock signal
211 - 21x input terminal
221 - 22x output terminal
311 - 31x input terminal

321 - 32x output terminal
700 Integrated circuit (LSI)
701 An internal circuit and an input output means
702 Loopback means
703 High-speed input output means
710 Loopback test directions terminal
711 Interface clock input terminal
712 Input/output terminal
713 Internal circuit input data
714 Loop back data
715 - 717 output-timing indication signal
718 Comparative collation timing indication signal
719 Comparison result signal

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-062298

(43)Date of publication of application : 08.03.1996

(51)Int.Cl. G01R 31/28
H01L 21/66
H01L 21/82
H01L 27/04
H01L 21/822

(21)Application number : 06-224027

(71)Applicant : NEC CORP

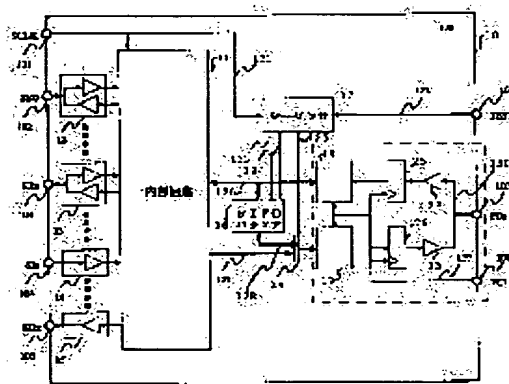
(22)Date of filing : 26.08.1994

(72)Inventor : ARAI TOMOHISA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND INSPECTION METHOD THEREFOR**(57)Abstract:**

PURPOSE: To test a high-speed interface part of LSI by using a high-speed SLI tester, having a minimum number of pins less than the number of all function terminals of the LSI to be inspected.

CONSTITUTION: A selector 24 brings the input data of a high-speed interface back to an output part through a loop. An FIFO buffer 16 temporarily stores loop-back data. A sequencer 17 controls the loop-back operation. These parts are provided. Thus, the data inputted from the high-speed interface part are brought back to the high-speed interface part as the output data by way of the loop, and the testing is performed with an LSI tester.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-62298

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

21/82

F 7514-4M

G 0 1 R 31/ 28

V

H 0 1 L 21/ 82

T

審査請求 有 請求項の数10 F D (全 12 頁) 最終頁に続く

(21) 出願番号

特願平6-224027

(22) 出願日

平成6年(1994)8月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 新井 智久

東京都港区芝五丁目7番1号 日本電気株式会社内

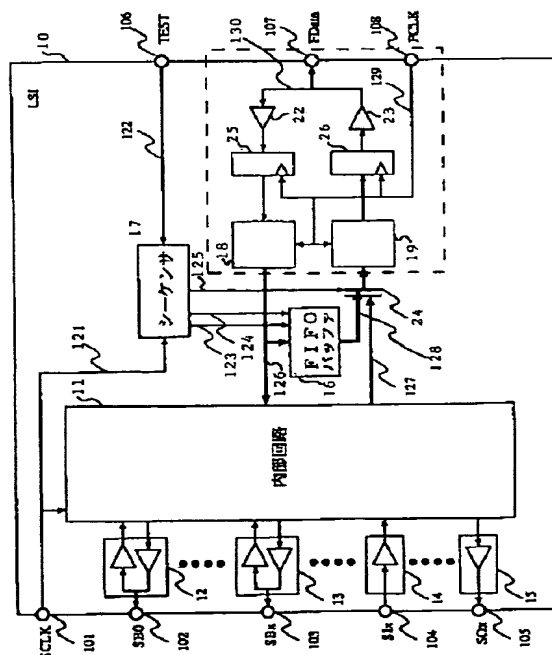
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体集積回路および検査方法

(57) 【要約】

【目的】 被試験 L S I の全機能端子数よりも少ない高速 L S I 試験機を使用して、被試験 L S I の高速インターフェイス部分の試験を可能とする L S I 及び検査方法の提供。

【構成】 高速インターフェイスの入力データを出力部にループバックするためのセレクタ (24)、ループバックデータを一時格納する F I F O バッファ (16)、ループバック動作を制御するシーケンサ (17) を持つ。これにより、高速インターフェイス部より入力されたデータを出力データとして高速インターフェイス部にループバックし L S I 試験機で試験する。



1

【特許請求の範囲】

【請求項 1】データを入力して内部回路に供給する入力部と、
前記内部回路の出力結果を外部に出力する出力部と、
テストモードを指示するテスト制御信号を入力し、テストモード時には、前記入力部の出力を前記出力部に入力させるループバック制御部と、
を含む半導体集積回路。

【請求項 2】前記ループバック制御部が、前記入力部の出力を格納する記憶部と、
前記内部回路の出力と前記記憶部の出力のいずれかを
選択信号に基づき出力するセレクトと、
前記テスト制御信号を入力し前記セレクトに前記選択信号を供給すると共に、テストモード時に前記記憶部の書き込みと読み出しを制御するシーケンス制御部と、
を含む請求項 1 記載の半導体集積回路。

【請求項 3】前記記憶部が先入れ先出し型バッファメモリで構成された請求項 1 記載の半導体集積回路。

【請求項 4】外部からタイミング信号を入力するタイミング入力手段と、
外部から入力データを入力するデータ入力手段と、
外部に出力データを出力するデータ出力手段と、
前記タイミング信号を基にして前記データ入力手段から入力されたデータをラッチするラッチ手段と、
前記タイミング信号を基にして前記データ出力手段へのデータの供給を制御するゲート手段と、を有する半導体集積回路において、
前記ラッチ手段によりラッチされたデータを前記ゲート手段にループバックするループバック手段と、
前記ループバック手段を活性化させるループバック活性化手段と、
を含むことを特徴とする半導体集積回路。

【請求項 5】前記ループバック手段が、ループバックデータを格納するメモリを有することを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】前記ループバック手段が、ループバックデータを処理するための制御手段を有することを特徴とする請求項 4 又は 5 記載の半導体集積回路。

【請求項 7】前記ループバック活性化手段が、外部からの所定の信号に基づきループバック動作モードを制御することを特徴とする請求項 4 ないし 6 のいずれかに記載の半導体集積回路。

【請求項 8】内部回路及び他の入出力部よりも高速に動作する高速入力部と高速出力部を少なくとも一対含む半導体集積回路の検査方法において、前記高速入力部の出力を高速出力部にループバックさせ、前記高速入力部と高速出力部の信号経路単位に試験することを特徴とする半導体集積回路の検査方法。

【請求項 9】外部からタイミング信号を入力するタイミング入力手段と、

2

外部から入力データを入力するデータ入力手段と、
外部に出力データを出力するデータ出力手段と、
前記タイミング信号を基にして前記データ入力手段から入力されたデータをラッチするラッチ手段と、
前記タイミング信号を基にして前記データ出力手段へのデータの供給を制御するゲート手段と、
を含むインタフェース部を有し、更に、
前記ラッチ手段によりラッチされたデータを前記ゲート手段にループバックするループバック手段と、
前記ループバック手段を活性化させるループバック活性化手段と、
を含む半導体集積回路の L S I 試験機による検査方法であって、
前記半導体集積回路のインタフェース部の検査を前記ループバック手段を介して互いに独立に且つ逐次的に行ない、
前記半導体集積回路の全端子数よりも少ないピン数の L S I 試験機を用いて試験する、
ことを特徴とする半導体集積回路の検査方法。

10 【請求項 10】前記 L S I 試験機が、前記インタフェース部の複数組のうちの一部のみが要求するタイミング精度及びピン数を有することを特徴とする請求項 9 記載の半導体集積回路の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路およびその検査方法に関し、特に、外部から与えられるテストデータに基づいて、半導体集積回路の各内部回路の動作、特性等の試験を行なう半導体集積回路の検査方法に関する。

【0002】

【従来の技術】半導体集積回路（「L S I」という）の開発、生産においては、欠陥を持った不良 L S I を正常な L S I と区別し、かつ不良 L S I についてはその不良原因を調査分析することにより品質ならびに生産性の向上をはかっている。この不良 L S I の発見および解析のために実施されているのが L S I の試験（テスト）である。

【0003】L S I の試験内容としては種々のものがあるが、大きく分類すると、ファンクション・テスト（Functional Test）とパラメトリック・テスト（Parametric Test）の 2 種類がある。

【0004】ファンクション・テストとは、L S I の機能（ファンクション）に着目した試験であり、電源電圧、動作温度、入力信号タイミングといった試験条件を決定する各パラメータは、L S I 開発、生産時に想定した典型的な動作条件に設定して、L S I の機能が完全に実現されているかどうかを試験するものである。

50 【0005】一方、パラメトリック・テストとは、L S I の動作条件範囲に着目した試験であり、前述のファン

クション・テストとほぼ同一の試験を試験条件を決定する各パラメータを変えて行なうことで、LSIがその仕様に定められた動作条件範囲内において所定の機能、特性を有していることを試験するものであり、直流特性をテストするDCパラメトリック・テストと、例えば入力・出力端子間の信号の伝搬遅延時間等、主にタイミングエッジの特性をテストするACパラメトリック・テストがある。

【0006】これらのLSI試験を実施する方法としては、主として外部から入力端子を介して被試験LSIにテストデータを与え、与えられたテストデータに応じた被試験LSIの内部回路の動作結果を被試験LSIの出力端子を介して外部に出力させて、その結果を観測することにより、被試験LSIの内部回路を試験する方法が採用されている。

【0007】図5は、従来のLSIのテスト構成例を示す図である。

【0008】図5を参照して、LSI20の内部には、所望の機能を実現するために順序回路および組合せ回路を適宜組み合わせることで構成された内部回路21が含まれる。テストデータはそれぞれ端子211~21xを介して内部回路21に与えられる。そして内部回路21から出力されるデータは、それぞれ端子221~22xを介してLSI20の外部に出力される。

【0009】図6は、図5に示したLSIをLSI試験機（LSIテスト）によって試験する際の概念を示す図である。

【0010】図6を参照して、LSI30は内部に、図5と同様に、内部回路31を含み、LSI試験機3の各ピンが被試験LSI30の入力端子311~319、及び出力端子321~329に接続されている。

【0011】LSI試験機3は、試験項目毎に対応するテストデータを生成し、被試験LSI30の入力端子311~31xにテストデータを印加し、内部回路31にテストデータが供給される。内部回路31は各テストデータに応じた動作を行ない、試験結果データを出力する。

【0012】LSI試験機3は、被試験LSI30の出力端子321~32xを介してこれら試験結果データを取り込み、その内容に応じて各回路の動作、特性その他の適否を判定する。LSI試験機3はこのような一連の動作を所定のプログラムに従って順次実行することで所定項目の試験を行なう。

【0013】

【発明が解決しようとする課題】しかしながら、このような従来のLSI試験方法では、テストデータをLSIの全ての入力端子に入力し、LSIの全ての試験結果データを出力端子を経由して取り込むことが必要とされ、このため、一般に、被試験デバイス（DUT；Device Under Test）であるLSIの機能ピン全てをカバーできる数のピン数を持ったLSI試験機を使用しなければ

らない。

【0014】また、LSI試験機は、被試験デバイスとされるLSIのタイミング試験に十分なスピードと精度を有したものでなければならない。

【0015】近時、半導体技術の進歩に伴いLSIの動作周波数は著しく向上し、これら高速LSIを試験するには高速LSI試験機が必要とされる。即ち、前記した通り、被試験デバイスである高速LSIの全機能ピンをカバーするピン数を有し、高速LSIの動作周波数に対応したテストレートを具備した高速LSI試験機を使用しなければならない。

【0016】高速LSI試験機は、一般に低速LSI試験機よりも高価である。特に高速LSI試験機では、1ピン当りの単価が低速のものに比べて高価であるため、高速多ピンのLSI試験機は非常に高価なシステムとなってしまう。

【0017】さらに、最近ではLSIの高性能化、複雑化から、LSIの端子数も多ピン化の方向にあり、LSI試験機に対する投資はさらに大きなものとなってしまう。

【0018】ところで、高速LSIとはいっても、全ての機能ピンが高速であるわけではない。例えば、高速シリアル通信用LSI等では、高速シリアル通信側の数個の端子のみが数百MHz~数GHzの超高速で動作し、残りの大半の端子はせいぜい数十MHz程度で動作するに過ぎない。

【0019】したがって、被試験LSIの端子のうち最も高速なものに対応できるスピードと精度を全てのピンに対して持った高速多ピンLSI試験機を、その試験のために導入することは開発コスト、生産コスト両面から考えて得策ではないという欠点がある。

【0020】テストに必要とされるLSI試験機のピン数を削減する試験方法としては、例えば、特開平4-220576号公報には、図7に示すように、テストデータを直列に取り込み、これを並列データに変換して集積回路内を構成する複数の被試験回路41₁~41_nにテストデータをそれぞれ分配する直並列変換手段43を備えたことにより、テスト端子を削減するようにした集積回路の試験方式が提案されている。

【0021】前記特開平4-220576号公報に開示された試験方法を利用すれば、ピン数の少ないLSI試験機により試験が可能となるが、この試験方法では、内部回路の機能テストは可能であるが、被試験LSIの外部インタフェースのタイミングが仕様を満足するかという試験は不可能となる。なぜなら集積回路内部の被試験回路には直並列変換手段43を介してテストデータが供給され、実際の仕様状態とは異なったものとなるからである。

【0022】従って、本発明は、前記問題点を解消し、被試験LSIの全機能端子数よりも少ない、必要最小限のピン数を持った高速LSI試験機を用いて、被試験LSI

LSIの高速インタフェース部分の試験を可能とする半導体集積回路および検査方法を提供することを目的とする。

【0023】

【課題を解決するための手段】前記目的は、本発明によれば、データを入力して内部回路に供給する入力部と、前記内部回路の出力結果を外部に出力する出力部と、テストモードを指示するテスト制御信号を入力し、テストモード時には、前記入力部の出力を前記出力部に入力させるループバック制御部と、を含む半導体集積回路によって達成される。

【0024】本発明の半導体集積回路においては、好ましくは、前記ループバック制御部が、前記入力部の出力を格納する記憶部と、前記内部回路の出力と前記記憶部の出力の一を選択信号に基づき出力するセレクトと、前記テスト制御信号を入力し前記セレクトに前記選択信号を供給すると共に、テストモード時に前記記憶部の書き込みと読み出しを制御するシーケンス制御部と、を含んでいる。

【0025】また、本発明の半導体集積回路においては、好ましくは、前記記憶部が先入れ先出し型バッファメモリで構成されている。

【0026】そして、本発明の半導体集積回路は、好適な態様として、外部からタイミング信号を入力するタイミング入力手段と、外部から入力データを入力するデータ入力手段と、外部に出力データを出力するデータ出力手段と、前記タイミング信号を基にして前記データ入力手段から入力されたデータをラッチするラッチ手段と、前記タイミング信号を基にして前記データ出力手段へのデータの供給を制御するゲート手段と、を有する半導体集積回路において、前記ラッチ手段によりラッチされたデータを前記ゲート手段にループバックするループバック手段と、前記ループバック手段を活性化させるループバック活性化手段と、を含むことを特徴とするものである。

【0027】本発明においては、前記ループバック手段が、ループバックデータを格納するメモリを有することを特徴とする。

【0028】また、本発明においては、前記ループバック手段が、ループバックデータを処理する制御手段を有することを特徴とする。

【0029】さらに、本発明においては、前記ループバック活性化手段が、外部からの所定の信号に基づきループバック動作モードを制御する。

【0030】次に、本発明は、内部回路及び他の入出力部よりも高速に動作する高速入力部と高速出力部を少なくとも一対含む半導体集積回路の検査方法において、前記高速入力部の出力を高速出力部にループバックさせ、前記高速入力部と高速出力部の信号経路単位に試験することを特徴とする検査方法を提供する。

【0031】本発明に係る半導体集積回路の検査方法は、好ましくは、外部からタイミング信号を入力するタイミング入力手段と、外部から入力データを入力するデータ入力手段と、外部に出力データを出力するデータ出力手段と、前記タイミング信号を基にして前記データ入力手段から入力されたデータをラッチするラッチ手段と、前記タイミング信号を基にして前記データ出力手段へのデータの供給を制御するゲート手段と、を含むインタフェース部を有し、更に、前記ラッチ手段によりラッチされたデータを前記ゲート手段にループバックするループバック手段と、前記ループバック手段を活性化させるループバック活性化手段と、を含む半導体集積回路のLSI試験機による検査方法であって、前記半導体集積回路のインタフェース部の検査を前記ループバック手段を介して互いに独立に且つ逐次的に行ない、前記半導体集積回路の全端子数よりも少ないピン数のLSI試験機を用いて試験する、ことを特徴とするものである。

【0032】本発明の半導体集積回路の検査方法においては、前記LSI試験機が、前記インタフェース部の複数組のうちの一部のみが要求するタイミング精度及びピン数を有することを特徴とする。

【0033】

【作用】本発明は、上記構成のもと、テスト時に半導体集積回路の高速入力部の出力はループバック制御部を介して高速出力部に出力されるため、テストに際して、高速インタフェース部をカバーするピン数を有する高速LSI試験機を使用して、半導体集積回路の高速インタフェース部の試験が可能となり、テスト費用を低減するものである。本発明によれば、特に高速インタフェース部のACパラメトリック・テストが試験可能とされる。

【0034】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0035】

【実施例1】図1は本発明の半導体集積回路の構成を示すものである。

【0036】図1を参照して、10は半導体集積回路、11は低速クロックで動作する内部回路、12、13は入出力バッファ、14は入力バッファ、15は出力バッファ、16はFIFOバッファ、17はループバック動作を制御するシーケンサ、18は直列並列変換器、19は並列直列変換器、25は入力ラッチ、26は出力ラッチ、22は入力バッファ、23は出力バッファ、24はセレクトである。図中破線で囲まれた部分が高速クロックで動作する部分である。

【0037】101~108はLSIの外部端子を示しており、121は低速クロック信号、122はループバックテスト起動信号、123はFIFOバッファ16への書き込み信号、124はFIFOバッファ16からの読み出し信号、125はループバックテスト時のデータ経路を切り替える切替制御信号、126は直列並列変換器18により変換された入

カデータを内部回路11に渡すデータバス、127は内部回路11の出力データを並列直列変換器19に渡すデータバス、128はFIFOバッファ16の出力データバス、129は高速クロック信号、130は高速データ入出力バスである。

【0038】次に、図1を参照して、本実施例に係るLSIの動作を説明する。ここでLSIは図左側の低速インタフェース（低速クロックSCLKで動作する）と、図右側の高速インタフェース（高速クロックFCLKで動作する）間でデータの授受を行うものとする。

【0039】端子102、103、104等を通してLSI10に与えられたデータは、バッファ12、13、14を通してLSI10の内部回路11に入力される。入力された各データは内部回路11で処理された後、データバス127、セクタ24を介して並列直列変換器19に送出され、並列直列変換器19にて直列の高速データに変換された後、出力ラッチ26、出力バッファ23を通し、高速データ入出力バス130経由で端子107に高速データとして出力される。

【0040】一方、高速インタフェースから低速インタフェースへのデータ転送では、端子107を通して入力された高速データFDataは、高速データ入出力バス130、入力バッファ22を介して、端子108から供給される高速クロックFCLKをラッチタイミングとして入力ラッチ25に取り込まれる。

【0041】入力ラッチ25に取り込まれたデータは、直列並列変換器18により低速並列データに変換されてデータバス126を介して内部回路11に送出され、内部回路11にて処理された後、バッファ12、13、15等を介して低速インタフェース側端子102、103、105等に出力される。

【0042】次に、本実施例に係るLSIにおけるループバック動作時の動作について説明する。

【0043】ループバック動作は、端子106から入力されるテスト制御信号TESTによって起動される。ループバック動作が起動されると、シーケンサ17はループバックテスト時のデータ経路を切り替える切替制御信号125をアクティブ状態とし、切替制御信号125に基づきセクタ24はFIFOバッファ16の出力に切替え、FIFOバッファ16の出力データバス128が並列直列変換器19の入力端に接続される。

【0044】この場合、端子107に入力されたデータは、前記の如く、入力バッファ22、入力ラッチ25を経由して直列並列変換器18に送られ、直列並列変換器18にて低速並列データに変換され、データバス126に出力される。

【0045】その際、シーケンサ17は、FIFOバッファ書き込み信号123を出力して、データバス126上のデータをFIFOバッファ16に書き込む。このFIFOバッファ16へのデータの書き込みはシーケンサ17に設定された回数分繰り返され、ループバック用データとして用意される。

【0046】について、シーケンサ17は、FIFOバッファ読み出し信号124を出力して、FIFOバッファに用意されたループバック用データは出力データバス128に読み出され、並列直列変換器19に入力される。並列直列変換器19に入力されたデータは高速データに変換され、出力ラッチ26、出力バッファ23を経由して端子107から出力されることになる。

【0047】図2は、上述した本実施例のLSIにおけるループバック動作時の動作タイミングを説明する図である。図2の各信号は、図1の図中の各信号に対応し、TESTはテスト制御信号、SCLKは低速クロック、FCLKは高速クロック、FDataは高速データ、をそれぞれ示し、126は直列並列変換器18から内部回路11にデータを渡すデータバス、128はFIFOバッファ16の出力データバス、123はFIFOバッファ書き込み信号、124はFIFOバッファ読み出し信号、125は切替制御信号、における信号波形をそれぞれ示している。

【0048】図2を参照して、FIFOバッファ16への書き込みは、書き込み信号123の立ち上がりエッジで行われる。またFIFOバッファ16からの読み出しは、読み出し信号124の立ち上がりエッジで行われる。

【0049】図2を参照して、入力されたテスト制御信号TESTをトリガーとしてシーケンサ17がループバック動作の制御を開始し、セクタ24の切替制御信号125を高レベルとして、セクタ24はFIFOバッファ16の出力データバス128に切替える。端子107から入力された高速データFData（シリアルデータ）は、直列並列変換器25により変換されデータバス126上に並列データとして送出され、シーケンサ17からのFIFOバッファ書き込み信号123によりデータバス126上のデータがFIFOバッファ16に順次書き込まれ、FIFOバッファ16に書き込まれたデータは、シーケンサ17からのFIFOバッファ読み出し信号124により読み出されて出力データバス128に送出され、並列直列変換器26により直列データに変換され、高速データFDataとして端子107より出力される。

【0050】図2では、2番目のデータD₂のデータバス126からFIFOバッファ16への書き込みと、FIFOバッファ16に書き込まれた1番目のデータD₁の出力データバス128への読み出しとをタイミング上重複して行っているが、これ以外のタイミング、例えば、データをFIFOバッファ16に所定数書き込んだ後これを読み出す構成等、所望のタイミングに設定できることは言うまでもない。

【0051】図3は、上述した本実施例に係るLSIにおけるループバック試験の原理を説明する図である。

【0052】図3を参照して、外部より入力データ67として与えた試験パターンを、再び外部で出力データ68として観測することで、高速入力部62および高速出力部63を含むLSI60の高速インタフェースを試験することが

可能となる。ループバック手段64は、LSI 60をループバック動作モードに設定するループバック指示信号66に基づきループバック動作時に高速入力部62から出力された信号を高速出力部63に折り返し出力する。なお、図1では、高速データ(FData)は入出力端子107から入出力されているが、本発明においては、図3に示すように、入力データ用、出力データ用の端子を夫々別個に備えてもよいことは勿論である。

【0053】

【実施例2】図4を参照して、本発明の別の実施例を説明する。図4は、前記第1の実施例で説明したLSIの高速インタフェースの試験システムの一実施例を示す図である。

【0054】図4を参照して、70は高速LSI試験機を示し、高速LSI試験機70は、出力ドライバ71~73、入力バッファ74、比較器75、タイミング生成器76、テストパターンメモリ77、及び期待値パターンメモリ78を含む。

【0055】また、図4において、700は前記第1の実施例で説明した本発明に係る半導体集積回路(「LSI」という)を示し、701は高速インタフェース部以外の論理手回路段および入出力手段、702はループバック手段、703は高速入出力手段702をそれぞれ示している。

【0056】710はLSIのテスト指示信号の入力端子、711は高速クロック入力端子、712は高速データの入出力端子をそれぞれ示している。また、713は高速入出力手段により入力されたデータを論理手回路段および入出力手段701に転送する内部バス、714はループバック手段702から出力されるループバックデータをそれぞれ示している。

【0057】高速LSI試験機70において、715~717はテストパターンの出力タイミングを指定する信号、718は比較器75に、被試験デバイスであるLSI 700の出力と期待値パターン(expected pattern)との照合のタイミングを指示するストロブ信号、719は期待値との比較の結果を示す比較器75の出力信号である。

【0058】図4を参照して、高速LSI試験機70の動作を簡単に説明する。

【0059】テストパターンメモリ77には、LSI 700の入力端子および出力端子に与えるテストパターンが格納されている。これらのテストパターンは順次読み出されて出力ドライバ71~73を介して高速LSI試験機70から出力され、LSI 700に与えられる。高速LSI試験機70からの出力信号は、タイミング生成器76で生成されるタイミング信号715~717により制御される。

【0060】LSI 700は、与えられたテストパターンに応じた動作を行ない、その結果を出力端子712に出力する。高速LSI試験機70は入力バッファ74を介してLSI 700の出力結果を取り込み、比較器75にてタイミング生成器76で生成されるタイミング信号718で指定され

るタイミングにて期待値パターンメモリ78に格納されている動作期待値パターンと比較し、比較結果を比較結果信号719として出力する。

【0061】以下では、図4に示したLSI試験システムを参照して、LSI 700における、入出力データ712(入出力端子712に入出力されるデータ)のクロック711(端子711に輸入されるクロック信号)に対する入力設定時間(セットアップタイム)、入力保持時間(ホールドタイム)、出力遅延時間を試験するACパラメトリック・テストを例として説明する。

【0062】はじめに、被試験デバイスであるLSI 700の出力データの出力遅延時間を試験する場合について説明する。

【0063】まず、テストパターンメモリ77に格納されているパターンが読み出された端子710を介してLSI 700に与えられる。これにより前記第1の実施例で説明したように、LSI 700はループバック試験動作に入る。

【0064】ついで、テストパターンメモリ77から読み出されるパターンにしたがって、クロック端子711にはクロック信号が、入出力端子712には入力データが与えられる。その際、タイミング生成器76で生成されるタイミング信号716および717を制御して、入力データがクロック信号に対して余裕あるタイミングで確実に高速入出力手段703を介してLSI 700内部に入力されるようにする。

【0065】高速入出力手段703により、入力されたデータは予め定めた所定時間後にループバック手段702により高速入出力手段703を介してループバックされ、入出力端子712を介して出力されることになる。

【0066】高速LSI試験機70は、この出力データを入力バッファ74を介して入力し、タイミング生成器76により生成されたタイミング信号718で指定されるタイミングにて、入力が期待値パターンメモリ78に格納されている期待値パターンと一致しているか否かを比較器75で比較し、その結果を比較結果716として生成する。

【0067】ここで、タイミング信号718を入出力データの出力遅延時間の最大値に設定しておけば、入出力端子712から出力される出力データが出力遅延時間の規格を満たしているかどうか試験することができる。

【0068】次に、被試験デバイスであるLSI 700の入力データの設定時間及び保持時間を試験する場合を説明する。

【0069】この場合は、前述した入出力端子712に対して与える入力データのタイミングが、それぞれ入力設定時間の最小値、及び保持時間の最小値となるようにデータの出力タイミングを制御してやればよい。

【0070】規格通りの設定/保持(Setup/Hold)特性を有するLSIであれば、前述したデータのループバック手順に従って、入力データは正しく高速入出力手段703により入力され、入力データと同一のデータがルー

プバックされて出力データとして観測されることになる。すなわち入力パターンを期待値パターンとして照合すればよいことになる。LSIが規格通りの設定/保持特性を有していない場合には、上記期待値照合が不一致となり、不良LSIが検出できる。なお、規格値に対応して入出力信号のタイミング位置等を設定し、被試験LSIの機能を試験することにより、ACパラメータ等が規格値を満たすか否かを試験（良品デバイス/不良デバイスのテスト）する方法は、通常“GO/NOGO TEST”といい、量産試験等で用いられる。

【0071】このように、本実施例においては、LSI 700の高速入出力手段703の検査をループバック手段702を介してそれぞれ別個に且つ順次行なうことにより、LSI 700の全端子数よりも少ないピン数の高速LSI試験機70を用いて試験するものであり、高速LSI試験機70は、LSI 700が高速入出力手段703を複数含む場合その一部が要求するタイミング精度、ピン数を含むだけでよい。

【0072】以上、本実施例によれば、半導体集積回路の高速インタフェース部について、わずかの高速ピンを有する高速LSI試験機で、機能試験のみならず、例えばACパラメータが規格値を満たすか否か等のパラメトリック・テストを高速且つ高精度に行なうことを可能とすると共に、高速インタフェース部以外の内部回路については、例えば多ピンの低速LSI試験機でテストすることにより、テスト費用を低減することができる。

【0073】なお、本発明を上記各実施例に即して説明したが、本発明は、上記態様にのみ限定されず、本発明の原理に準ずる各種態様を含む。

【0074】

【発明の効果】以上説明したように、本発明の半導体集積回路によれば、テスト時に半導体集積回路の高速入力部の出力はループバック制御部を介して高速出力部に出力されるため、本発明に係る半導体集積回路のテストに際しては高速インタフェース部をカバーするピン数を有する高速LSI試験機を使用して、半導体集積回路の高速インタフェース部分の試験が可能とし、テスト費用を低減するものである。

【0075】そして、本発明の半導体集積回路によれば、機能試験のみならず高速インタフェース部のACパラメトリック・テストについても、わずかの高速ピンを有する高速LSI機で高精度にテストすることを可能とすると共に、高速インタフェース部以外の内部回路については、例えば多ピンの低速LSI試験機で測定することにより、テスト費用を低減することができる。

【0076】また、本発明の検査方法によれば、高速インタフェースを持った半導体集積回路の試験に必須とされる高速LSI試験機の高速テストプローブの本数を削減することが可能となり、テスト費用を低減することができる。

【0077】本発明の半導体集積回路においては、ループバック制御部はテスト制御信号に基づき、ループバック制御を行なう制御部と高速入力部からの出力データを格納する記憶部、及び、内部回路と記憶部の出力のいずれかを高速出力部に出力するセクタというコンパクトなテスト回路から成り、テスト回路を含む半導体集積回路のコストの上昇を抑止している。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の一実施例の構成を示す図である。

【図2】本発明の一実施例（図1参照）の動作タイミングを示す図である。

【図3】本発明の半導体集積回路におけるループバック動作の原理図である。

【図4】本発明を利用した高速インタフェース試験の一実施例を示す図である。

【図5】従来のLSIテスト回路の構成例を示す図である。

【図6】従来のLSIテストシステムの概念図である。

【図7】LSI試験機のピン数を削減する、従来の試験方法を示す図である。

【符号の説明】

- 3 LSI試験機
- 10 半導体集積回路（LSI）
- 11 内部回路（低速）
- 12 入出力バッファ
- 13 入出力バッファ
- 14 入出力バッファ
- 15 入出力バッファ
- 30 16 FIFOバッファ
- 17 シーケンサ
- 18 直列並列変換器
- 19 並列直列変換器
- 20 半導体集積回路（LSI）
- 21 内部回路
- 22 入力バッファ
- 23 出力バッファ
- 24 セクタ
- 25 入力ラッチ
- 40 26 出力ラッチ
- 30 半導体集積回路（LSI）
- 31 内部回路
- 40 半導体集積回路（LSI）
- 41 被試験回路
- 43 直並列変換手段
- 60 LSI
- 61 高速インタフェース以外のその他の論理回路手段及び入出力手段
- 62 高速入力部
- 50 63 高速出力部

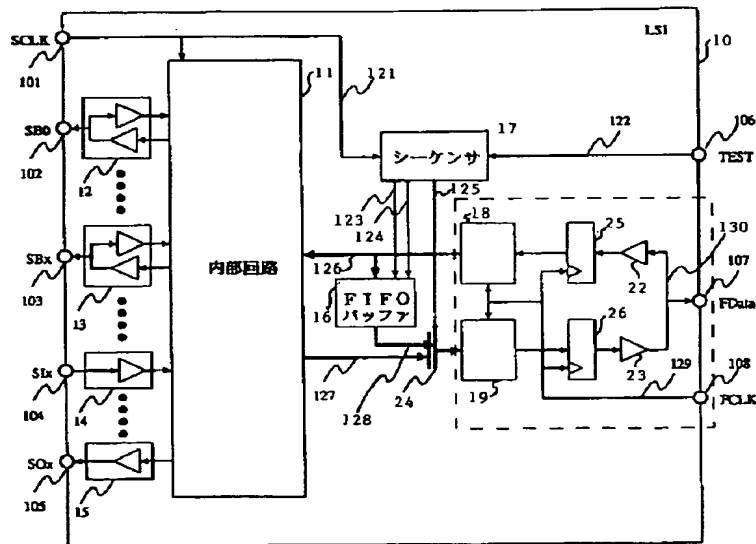
13

64 ループバック手段
 66 ループバック指示信号
 67 入力データ
 68 出力データ
 70 高速LSI試験機
 71 出力バッファ
 72 出力バッファ
 73 出力バッファ
 74 入力バッファ
 75 比較器
 76 タイミング生成器
 77 テストパターンメモリ
 78 期待値パターンメモリ
 101 SCLK端子
 102 SB0端子
 103 SBx端子
 104 SIx端子
 105 SOx端子
 106 TEST端子
 107 FData端子
 108 FCLK端子
 121 低速クロック信号
 122 ループバックテスト起動信号

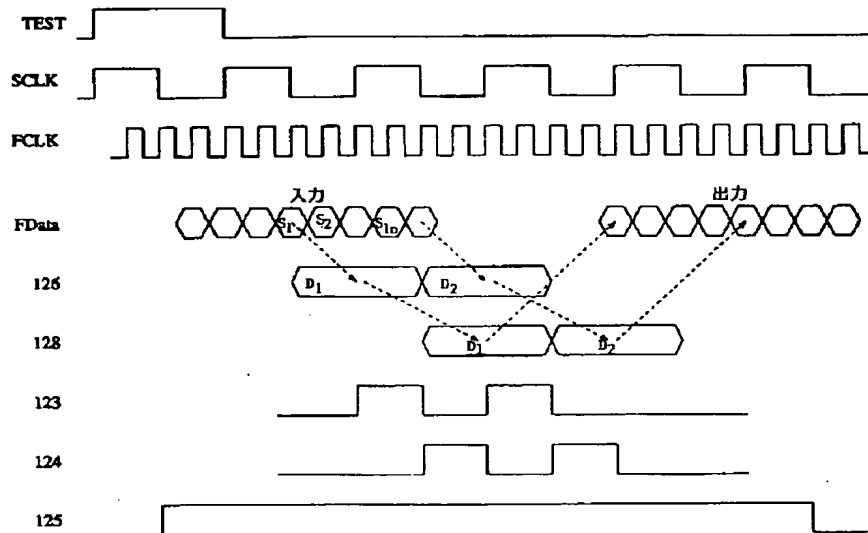
14

123 FIFOバッファ書き込み信号
 124 FIFOバッファ読みだし信号
 125 データバス切替え信号
 126 内部回路入力データ
 127 内部回路出力データ
 128 FIFOバッファ出力データ
 129 高速クロック信号
 211~21x 入力端子
 221~22x 出力端子
 311~31x 入力端子
 321~32x 出力端子
 700 半導体集積回路 (LSI)
 701 内部回路および入出力手段
 702 ループバック手段
 703 高速入出力手段
 710 ループバックテスト指示端子
 711 インタフェースクロック入力端子
 712 入出力端子
 713 内部回路入力データ
 714 ループバックデータ
 715~717 出力タイミング指示信号
 718 比較照合タイミング指示信号
 719 比較結果信号

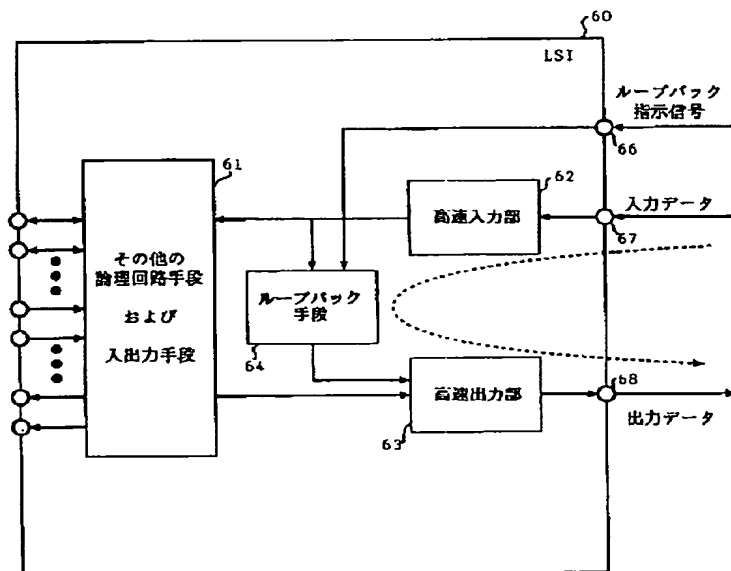
【図1】



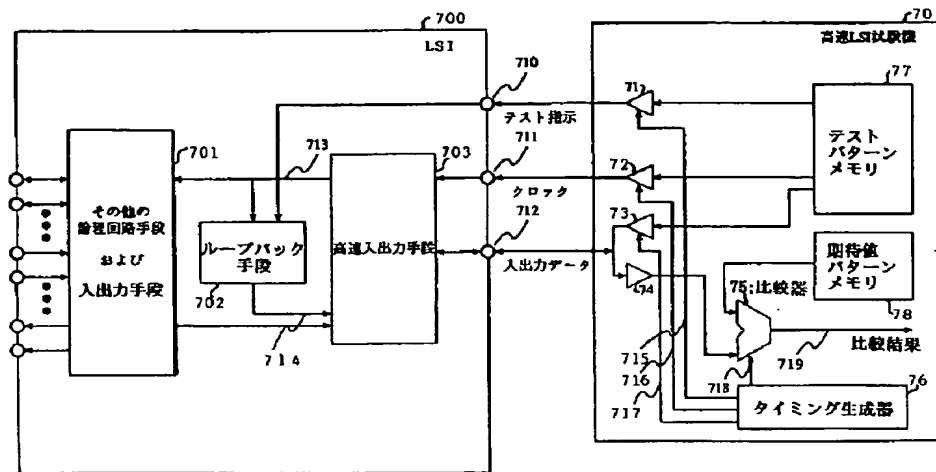
【図 2】



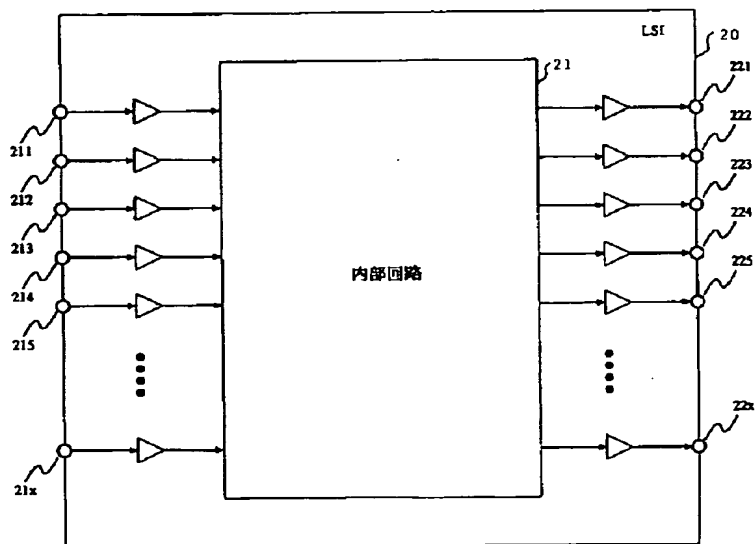
【図 3】



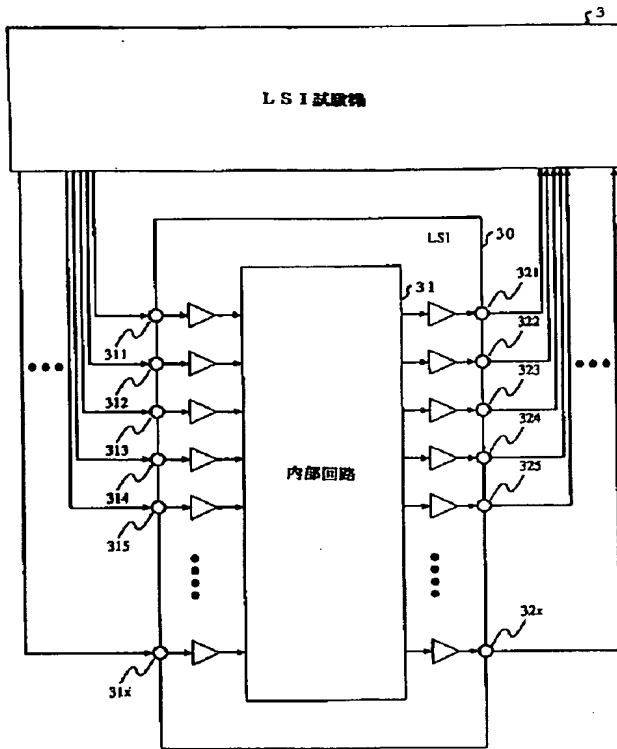
【図4】



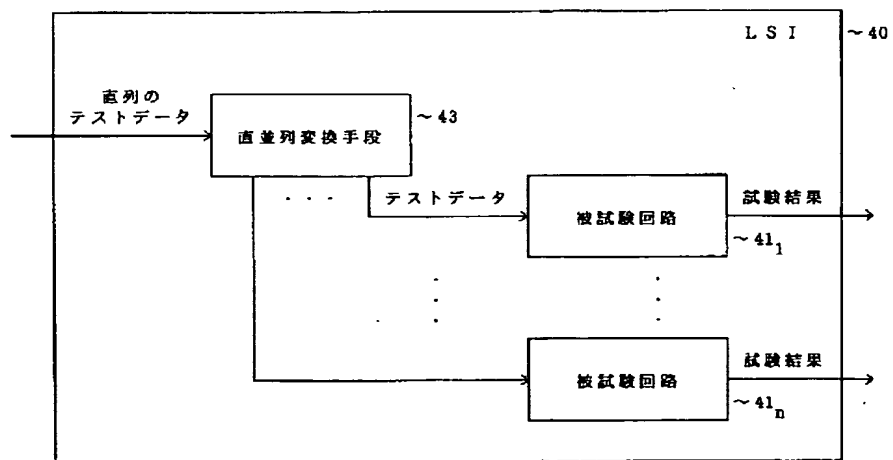
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6

H01L 27/04

21/822

識別記号

庁内整理番号

F I

技術表示箇所

(12)

特開平8-62298

H01L 27/04

T